Appendix SystemVerilogに関する標準化活動

JEITA/EDA技術専門委員会 SystemVerilogタスクグループ

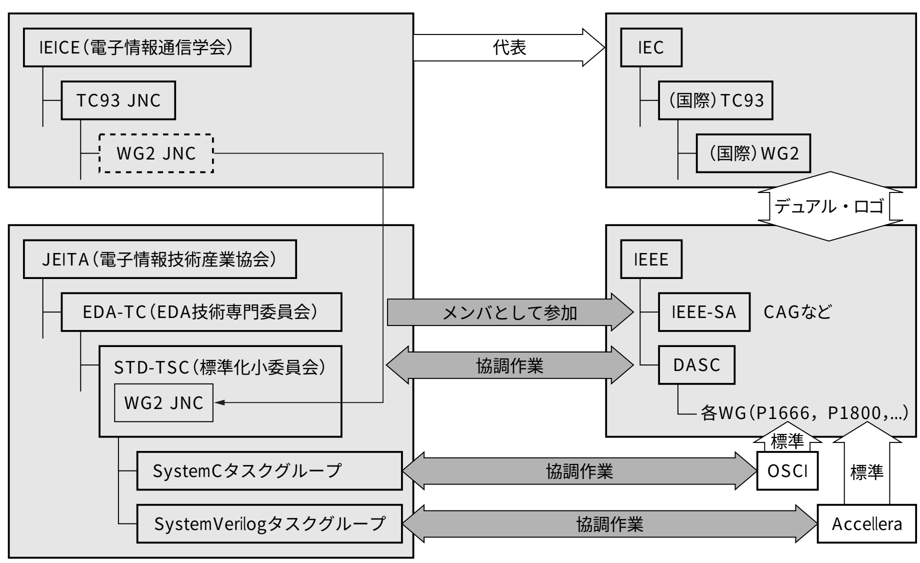
ここではSystemVerilogに関する標準化活動について紹介する．SystemVerilog言語標準化の経緯や各標準化組織の活動内容などを説明する．（編集部）

本稿では，SystemVerilogの標準化・普及推進活動に取り組んでいるJEITA/EDA技術専門委員会 SystemVerilogタスクグループ，Accellera，IEEE（The Institute of Electrical and Electronics Engineers, Inc.），IEC（International Electrotechnical Commission）/TC93（Technical Committee 93）/WG2（Working Group 2）の活動内容を紹介します．なお，それぞれの標準化組織の関係については，**図1**を参照してください．

● 日本から参加，JEITA SystemVerilogタスクグループの活動

電子情報技術産業協会（JEITA）に属する組織として，EDA（electronic design automation）技術専門委員会（EDA-TC）があります．EDA-TCは，電子機器の設計自動化にかかわるさま

図1 標準化組織とJEITA



（a）標準化組織の間の関係

国際組織	
Accellera	EDAに関する技術の標準化・普及推進組織，http://www.accellera.org/
CAG（Corporate Advisory Group）	IEEE-SAの幹事企業のグループ，http://standards.ieee.org/sa-mem/caginfo.html
DASC（Design Automation Standards Committee）	IEEEの下部組織で設計自動化に関する標準化委員会，http://www.dasc.org/
IEC（International Electrotechnical Commission）	電気電子分野に関する国際標準化機関，http://www.iec.ch/
IEEE（The Institute of Electrical and Electronics Engineers, Inc.）	米国の電気電子分野の国際的な学会組織，http://www.ieee.org/
IEEE-SA（Standards Association）	IEEEの下部組織で標準化協会，http://standards.ieee.org/
OSCI（Open SystemC Initiative）	SystemC言語の標準化・普及推進組織，http://www.systemc.org/
日本の組織	
EDA-TC（EDA Technical Committee；EDA技術専門委員会）	JEITA半導体部会の下部組織でEDA技術に関する委員会，http://eda.ics.es.osaka-u.ac.jp/jeita/eda/index-jp.html
IEICE（The Institute of Electronics, Information and Communication Engineers）	社団法人 電子情報通信学会，http://www.ieice.org/
JEITA（Japan Electronics and Information Technology Industries Association）	社団法人 電子情報技術産業協会，http://www.jeita.or.jp/
STD-TSC（Standard Technical Sub Committee；標準化小委員会）	JEITA EDA技術専門委員会の下部組織でEDA標準に関する小委員会

（b）標準化組織

ざまな活動を行っています．その活動の一つとして，EDA技術に関する標準化活動と関連機関・団体への協力・貢献があります．

これを実現するために，下部組織として標準化小委員会（STD-TSC）が設けられており，IECやIEEEなどの国際的な標準化活動に対して，標準化提案の検証，技術提案，交流会議の開催などを行っています．例えば2003年度からは，SystemCおよびSystemVerilogの言語標準化に取り組む二つのタスクグループを発足させ，活動を開始しました．

SystemVerilogタスクグループ（**表1**）の活動目的は，国際標準化に貢献することと，日本の半導体産業界においてSystem Verilogの適用容易性を高め，設計品質の向上によって国際的な競争力を確保することです．そのためにIEEE，IEC，Accelleraなどの標準化組織と連携し，日本の要望に沿った形での言語仕様の標準化を進めるとともに，国内におけるSystemVerilog適用の普及推進にも取り組んでいます．

これまでのおもな活動内容は以下のとおりです．

1）米国で開催されているDesign & Verification Conference（DVCon）やDesign Automation Conference（DAC）における最新情報の収集
2）IEEE P1800 Working Group（以下WG），Accelleraとの合同会議の開催，IEC/TC93/WG2国際会議への参加
3）言語仕様の技術的検討とIEEE P1800 WGへのIssue Reportの提出
4）IEEE P1800標準化投票への参加
5）SystemVerilogユーザフォーラムの開催

3）のIssue Reportとして，2004年8月にSystemVerilogタスクグループより32件のフィードバック（提案）をAccellera SystemVerilog Technical Committee（以下TC）とIEEE P1800 WGへ行っています．

4）のIEEE P1800標準化投票については，まず投票権を得るためにIEEEの標準化機関であるIEEE-SA（Standards Association）のメンバとなり，2005年6月にIEEE P1800標準化承認のための最終投票に参加しました．

5）のSystemVerilogユーザフォーラムは，2005年1月にEDS（Electronic Design and Solution）Fairと同時開催したEDA技術専門委員会主催の「システム・デザイン・フォーラム2005」の一部として実施しました．第1回目のイベントであるにもかかわらず200名を超える参加があり，アンケートの結果からも日本市場がSystemVerilogに肯定的であるように見えました．

今後も，国際標準化組織と連携した標準化活動を展開するとともに，SystemVerilogに関する技術情報を幅広く入手し，情報公開を行っていく予定です．また，2005年度は，SystemVerilog関連の専門用語（英語）に対する標準的な和訳を定めることにより，日本国内における統一的な訳語利用を推進することも予定しています．さらに普及推進活動の一環として，2006年1月に第2回SystemVerilogユーザフォーラムをEDS Fair 2006と同時開催することを計画しています．

表1　JEITA/EDA技術専門委員会 SystemVerilogタスクグループのメンバ

	名まえ	所　属
主査	浜口加寿美	松下電器産業
副主査	明石貴昭	日本シノプシス
委員	湯井丈晴	沖ネットワークエルエスアイ
同上	杉江 誠	図研
同上	土屋丈彦	東芝
同上	後藤謙治	日本ケイデンス・デザイン・システムズ社
同上	千綿幸雄	富士通
同上	山元 渉	メンター・グラフィックス・ジャパン
同上	高嶺美夫	ルネサス テクノロジ

● SystemVerilogの生みの親，Accelleraの活動

Accelleraは，2000年にVerilog HDLの標準化・普及推進組織である旧Open Verilog International（OVI）と，VHDLの標準化・普及推進組織である旧VHDL International（VI）が統合されて誕生しました．このAccelleraがSystemVerilogの生みの親です．Accelleraの活動目的は，EDA標準をタイムリにユーザが使えるように標準化プロセスを加速（accelerate）することであり，組織名の由来もここにあります．

Accelleraは，標準をゼロから作ることはたいへんな作業で，実用レベルに達するまでに多くの時間を要すると考えており，そのプロジェクトの多くはドネーション（寄贈）ベースで開始されています．ドネーションされた技術は，Accelleraの各TCのメンバによって推こうされます．実用標準レベルの完成度まで高めたのち，国際標準化組織（IEEEやIEC）へドネーションを行い，各国際標準化組織の承認を得るというプロセスをとっています．これまでの標準化プロセスは，これら国際標準化組織が内部にWGなどを設置し，作業を行っていたため，標準規格ができ上がるまでに非常に長い期間を要していました．

Accelleraのプロセスを経て世に送り出された標準規格は，タイムリかつ実績に裏打ちされた技術であり，ユーザは安心して使うことができるというメリットがあります．

SystemVerilogについては，旧Co-Design Automation社からSuperlog言語のドネーションをAccelleraが受け，プロジェクトが開始されました．このSystemVerilogが世に最初に送り

出されたのは，2002年に米国ルイジアナ州New Orleansで開催されたDACでした．その後，米国Synopsys社からOpenVera HVL(hardware verification language)，OpenVera Assertion，Direct-Cなどの検証関連技術のドネーションが行われ，SystemVerilogに検証構文が追加されることとなりました．そして，2003年のDACでは，世界初の設計・検証統合言語（HDVL：hardware description and verification language）として，SystemVerilog 3.1がリリースされました．

SystemVerilog 3.1が登場した後，米国Mentor Graphics社，米国BlueSpec社，米国Novas Software社から追加ドネーションが行われ，2004年5月にAccelleraとしての完成版であるSystemVerilog 3.1aがリリースされました（**図2**）．

AccelleraはこのSystemVerilog 3.1aをもって開発を完了とし，IEEEへその成果をドネーションし，それ以降の標準化作業はIEEE P1800 WGに引き継がれました（**図3**）．

JEITA/EDA技術専門委員会SystemVerilogタスクグループは，おもなAccellera SystemVerilog TCミーティングへ参加したり，LRM（language reference manual）に関するIssue Reportを提出して，Accelleraと交流しています．

● 言語標準化の事実上のゴール，IEEEの活動

IEEEは，米国に本部を置く電気・電子・情報関連の国際学会です．IEEEにおいて，DASC（Design Automation Standards Committee）やSA（Standards Association）が電子産業における設計自動化関連の標準化に携わっています．従来の活動の中心はVHDL（IEEE Std 1076）とVerilog HDL（IEEE Std 1364）に関連する設計と検証であり，タイミング情報や論理合成，算術関数，テストの標準化に注力していました．また，適用範囲をシステム・レベルまで拡大し，ミックスト・シグナル（アナログ・ディジタル混載）やハードウェア・ソフトウェア協調設計などの拡張規格の標準化も検討しています．

2004年には，SystemCとSystemVerilogの標準化プロジェクトとして，それぞれP1666，P1800がスタートしました．よく目にする番号の前の“P”はPAR（Project Authorization Request）の略で，“Std”はStandardの略です．つまり，標準化前の活動段階ではPで，標準化が完了するとStdになります．

表2に，SystemVerilogの標準化に関してP1800 WGが行ってきた活動と今後の予定を示します．投票は「賛成」，「反対（意見付き）」，「反対（意見なし）」，「棄権」から選択できます．ここで反対と表明した委員の意見が次のドラフトに反映されます．

Appendix

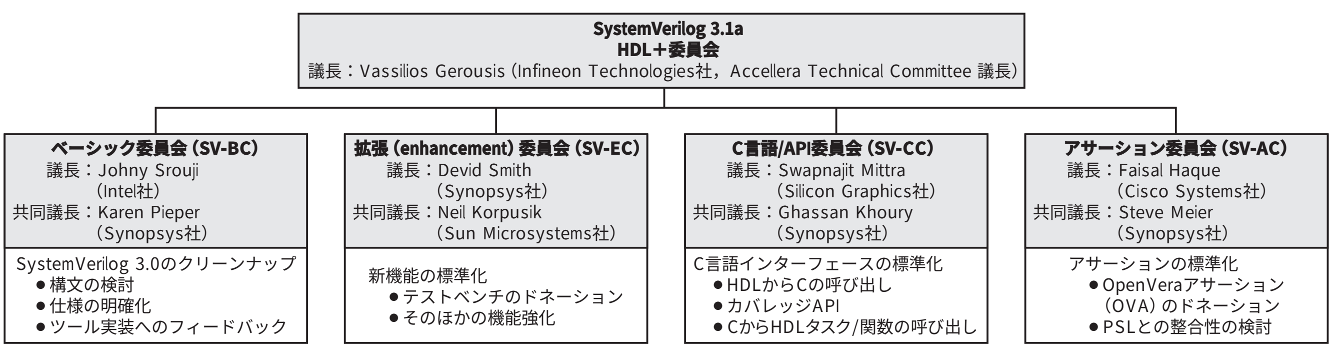


図2　AccelleraのSystemVerilog 3.1a組織

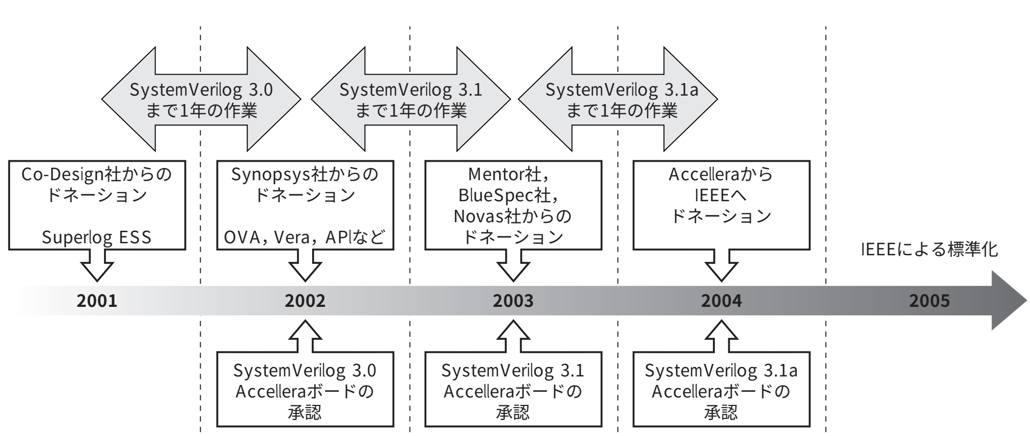


図3
SystemVerilog開発の歴史

図4
IEEE P1800の組織
チャンピオンは，P1800とP1364の整合性を監視する役割を果たす．

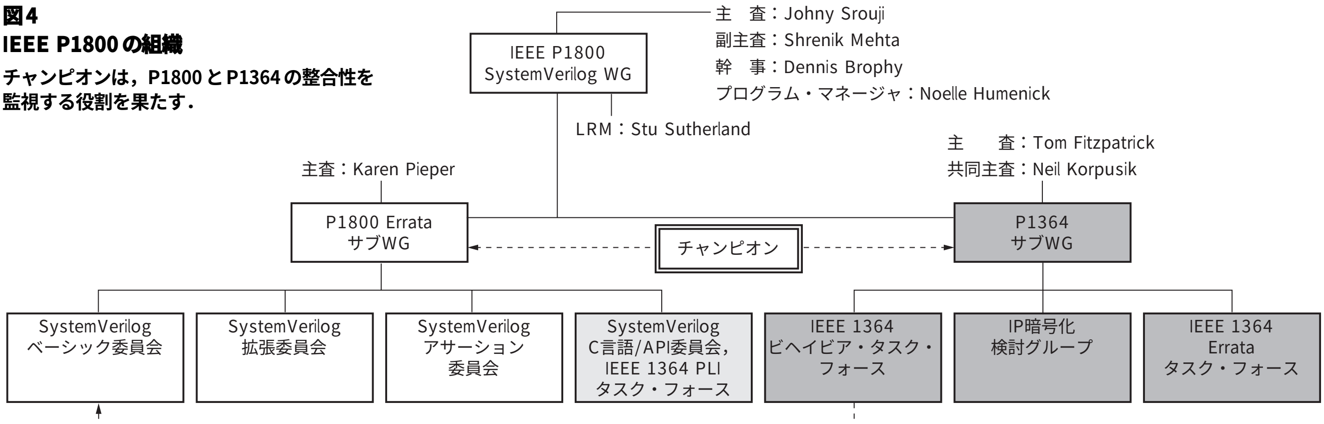


表2　IEEEによるSystemVerilog標準化の経緯

年　月	出来事
2004年6月	AccelleraからIEEEへSystemVerilogのドネーション
同上	IEEE P1800 WG発足
2004年10月	P1800 draft1作成
2004年11月	P1800 draft2作成
2005年 1月	P1800 draft3作成
2005年 2月	P1800 draft4作成，第1回投票
2005年 6月	P1800 draft5作成，再投票
2005年 9月	IEEE P1800承認（予定）
2005年10月	IEEE Std 1800-2005リリース（予定）

2005年6月の再投票では，第1回投票の「反対」から「賛成」への変更，または引き続き「反対」とすることだけが認められています．これは，ドラフト完成までの期間が長引くことを防止するためです．

今回の投票では，このほかにも長期化の防止策がとられています．従来，IEEE Stdの取得にはおよそ4～5年かかっていました．これは，従来の投票権が個人ベースであったためです．個人ベースの投票時にひとりでも反対意見があった場合，それに対してWGが回答を提出し，それを収束させなければなりませんでした．これに膨大な時間と労力を費やしていたため，IEEEはタイムリに標準規格をリリースできなかったのです．今回のSystemVerilogの標準化では組織ベースの投票を行っています．つまり，同一組織内の各個人の意見は組織として集約させてから組織の代表が投票を行うという形です．ここでいう組織とはIEEE-SA CAG（Corporate Advisory Group）のメンバとなります．前述したようにJEITAはIEEE-SAのメンバであり，投票権を有しています．

AccelleraからIEEEにSystemVerilogの活動が移行する際に，従来からVerilog HDLの標準化に取り組んできたP1364 WGとの関係で白熱した議論が交わされた時期がありました．その結果，P1364はIEEE Std 1364-2001に対する小さな修正にとどめ，機能拡張などはすべてSystemVerilogに取り込むことがIEEEで決定されました．現在，P1800 WGとP1364 WGは一つのコントロール下に置かれています．P1364 WGはIEEE Std 1364-2005の作成に向けて，P1800 WGと同期して作業を進めています．**図4**にP1800 WGとP1364 WGの組織図を示します．

これまでJEITA EDA技術専門委員会は，IEEE DASCのメンバとして関連するWGに参加し，標準化案に日本の意見を反映させてきました．2004年12月にはIEEE-SAの正式メンバにもなり，IEEEの標準化活動のドラフト・レビュー，標準化案の改善提案，投票を通じて積極的に参加しています．System Verilogについては，P1800の正式メンバとして前述の投票への参加，国内メーカの意見の吸い上げ，P1800への検討要求などの活動を実施しています．

● IEEEと共同歩調，IEC/TC93/WG2の活動

IECは1906年に設立された歴史のある国際標準化組織です．設計自動化を取り扱うTC93は1992年に設立され，その下部組織のWG2がハードウェア記述言語を対象としたワーキング・グループとなります．IEC/TC93/WG2は，現在，SystemCとSystemVerilogの標準化に取り組んでいます．

従来は，IEEEの標準化作業終了後にIECの作業が行われていました．しかし現在は，標準化作業の効率化のため，IEEEとIECのデュアル・ロゴ方式（両方の標準として認定する方式）が多く取り入れられています．SystemVerilogもこの方式を用いて早期にIEC標準となる予定です．

日本では電子情報通信学会内にIEC/TC93日本国内委員会が設置されています．IEC/TC93/WG2は，JEITA EDA技術専門委員会の下部組織である標準化小委員会と内容が重複する点が多いため，日本国内では合同会議を行っています．

JEITA/EDA技術専門委員会 SystemVerilogタスクグループ